

DERWENT-ACC-NO: 2003-437159

DERWENT-WEEK: 200341

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Underfill tape and flip chip bonding method using the same

INVENTOR: SONG, G H

PATENT-ASSIGNEE: SAMSUNG ELECTRONICS CO LTD[SMSU]

PRIORITY-DATA: 2001KR-0048745 (August 13, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2003014861 A	February 20, 2003	N/A	001	H01L 021/60

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2003014861A	N/A	2001KR-0048745	August 13, 2001

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: KR2003014861A

BASIC-ABSTRACT:

NOVELTY - An underfill tape and a flip chip bonding method using the same are provided to perform easily an underfill process and reduce the number of process errors and a manufacturing cost by forming an underfill member of a solid state including a flux component as a tape type.

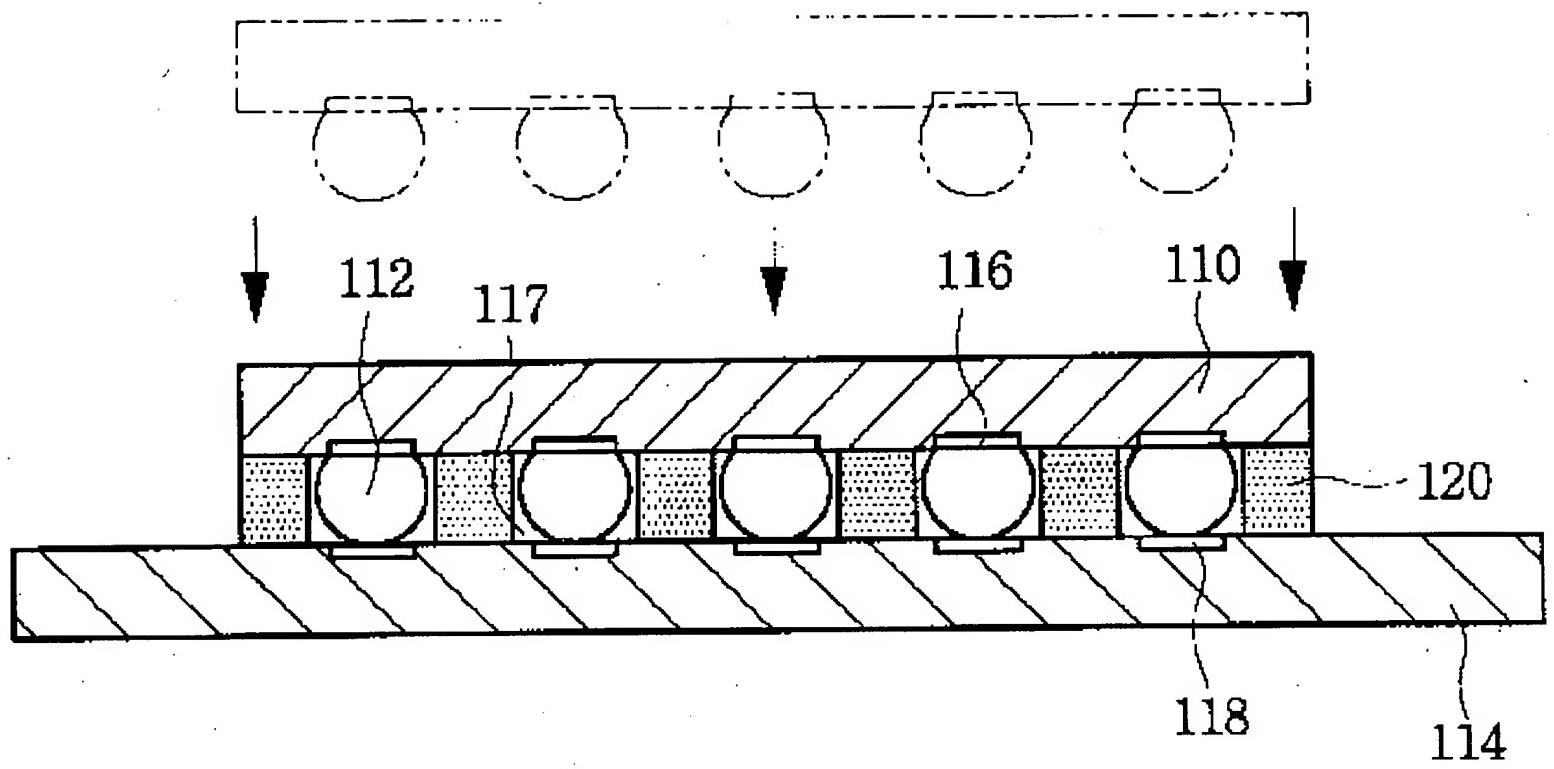
DETAILED DESCRIPTION - An underfill tape(120) is mounted on a semiconductor substrate(114). A semiconductor chip(110) having plural conductive bumps(112) is mounted on the semiconductor substrate(114) in order to insert the conductive bumps(112) of the semiconductor chip(110) into bump holes(117) of the underfill tape(120) corresponding to the conductive bumps(112). The conductive bumps(112) are fused and attached on a pad(118) of the semiconductor substrate(114) by performing a heating process. The underfill tape(120) is attached between the semiconductor chip(110) and the semiconductor substrate(114).

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: TAPE FLIP CHIP BOND METHOD

DERWENT-CLASS: U11

EPI-CODES: U11-E01;



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. ⁷
 H01L 21/60

(11) 공개번호 특2003-0014861
 (43) 공개일자 2003년02월20일

(21) 출원번호 10-2001-0048745
 (22) 출원일자 2001년08월13일

(71) 출원인 삼성전자주식회사
 경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 송근호
 충청남도 천안시 신방동 873 성지새말아파트 106동 204호

(74) 대리인 윤동열
 이선희

설사장구 : 없음

(54) 언더필 테입 및 그 언더필 테입을 사용한 플립칩 본딩 방법

요약

본 발명은 반도체 칩 본딩 방식(semiconductor chip bonding method) 중 플립칩 본딩 방식(flip chip bonding method)에서 사용되는 언더필 부재(underfill material)와 그 언더필 부재를 사용한 플립칩 본딩 방법에 관한 것으로, 종래의 액체 상태의 언더필 부재를 사용함으로써 발생할 수 있었던 반도체 칩과 기판 사이의 전기적 접속 불량 및 언더필 불량 등의 문제 발생을 방지하고, 공정 수 축소를 통한 불량 발생 원인 감소 및 제조 비용 절감을 위해, 플럭스(flux) 성분이 포함된 고체형 언더필 부재로서, 테입형(tape type)으로 형성되고 반도체 칩과 기판 사이의 도전성 범프(conductive bump)의 위치에 대응하는 부분에는 도전성 범프의 크기에 상응하는 범프 홀(bump hole)이 형성되어 가열을 통해 반도체 칩과 기판 사이에 용착되는 것을 특징으로 하는 언더필 테입(underfill tape)을 제공하고, 아울러, 기판에 언더필 테입을 실장하는 단계, 도전성 범프들이 용착된 반도체 칩을 도전성 범프들이 언더필 테입의 각 대응되는 범프 홀에 삽입되도록 하여 기판에 실장하는 단계, 가열하여 도전성 범프를 기판 상의 패드(pad)에 용착시키고 언더필 테입을 반도체 칩과 기판 사이에 용착시키는 단계를 포함하는 것을 특징으로 하는 플립칩 본딩 방법을 제공한다.

대표도

도 3b

색인어

언더필, 언더필 테입, 도전성 범프, 플립칩 본딩 방법, 반도체 칩

명세서

도면의 간단한 설명

도 1a는 종래의 일반적 언더필 방법(normal underfill method)을 보여주는 도.

도 1b는 종래의 노플로우 언더필 방법(no flow underfill method)을 보여주는 도.

도 1c는 종래의 언더필 과정이 완료된 상태를 보여주는 도,

도 2a는 본 발명에 따른 언더필 테입(underfill tape)의 평면도,

도 2b는 본 발명에 따른 언더필 테입의 측면 단면도,

도 3a는 기판에 언더필 테입이 실장된 모습을 보여주는 도,

도 3b는 도전성 범프(conductive bump)가 용착된 반도체 칩(semiconductor chip)을 기판에 실장된 언더필 테입 위에 실장하는 모습을 보여주는 도,

도 3c는 가열하여 도전성 범프와 언더필 테입이 각각 용착된 모습을 보여주는 도이다.

도면의 주요부분에 대한 부호설명

10, 110 : 반도체 칩 12, 112 : 도전성 범프

14, 114 : 기판 16, 116 : 본딩 패드(bonding pad)

18, 118 : 패드(pad) 20 : 언더필 부재(underfill material)

117 : 범프 홀(bump hole) 120 : 언더필 테입

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립칩 본딩 공정에 사용되는 언더필 부재와 플립칩 본딩 방법에 관한 것으로서, 상세하게는 언더필 테입과 그 언더필 테입을 사용한 플립칩 본딩 방법에 관한 것이다.

최근까지 반도체 칩의 전기적 연결에 있어서는 도전성 금속선을 이용한 와이어 본딩 방법이 주로 사용되었으나, 반도체 칩의 짐작도 향상에 따른 다편화 및 소형화 등의 추세로 인해 종래의 와이어 본딩 방법은 그 적용이 매우 어렵게 되었다.

이러한 반도체 칩의 다핀화 및 소형화에 대응하여 플립칩 본딩 방법이 와이어 본딩 방법을 대신하여 많이 사용되고 있는데, 플립칩 본딩 방법은 반도체 칩 상의 본딩 패드와 기판 상의 패드를 도전성 범프를 이용하여 전기적으로 접속하는 것으로서, 도전성 범프를 통하여 전기적인 접속과 반도체 칩의 기판 부착을 동시에 할 수 있다. 플립칩 본딩 방법에서는 반도체 칩과 기판을 도전성 범프를 이용하여 전기적으로 접속한 후 도전성 범프의 산화를 방지하고 반도체 칩과 기판이 전기적 접속 상태를 안정되게 유지할 수 있도록 언더필 공정을 수행하게 되는데, 언더필 방법으로는 예를 들어, 에폭시 수지(epoxy resin) 등의 액체 상태의 언더필 부재를 반도체 칩과 기판 사이에 주입한 후 경화시켜 반도체 칩과 기판 사이에 고착시키는 일반적 언더필 방법과, 기판에 미리 플럭스(flux) 성분이 포함된 액체 상태의 언더필 부재를 디스펜싱(dispensing) 한 후 그 위에 반도체 칩을 실장하고 가열하여 도전성 범프를 응착시키고 언더필 부재 또한 경화시켜 반도체 칩과 기판 사이에 고착시키는 노플로우 방법 등이 사용된다.

이하 도면을 참조하여 종래의 언더필 부재와 플립칩 본딩 방법에 대하여 계속 설명한다.

도 1a는 종래의 일반적 언더필 방법을 보여주는 도이고, 도 1b는 종래의 노플로우 언더필 방법을 보여주는 도이며, 도 1c는 종래의 언더필 공정이 완료된 상태를 보여주는 도이다.

도 1a에서 나타낸 일반적 언더필 방법은 다음과 같은 과정으로 이루어져 있는데, 언더필 과정에 앞서, 플럭스가 도포된 기판(14)에 도전성 범프(12)가 응착된 반도체 칩(10)을 그 도전성 범프(12)가 응착된 면이 기판(14)을 향하도록 하여 각 도전성 범프(12)와 그에 대응하는 기판(14) 상의 패드(18)가 서로 일치하도록 실장한 후, 가열하여 도전성 범프(12)를 기판(14) 상의 패드(18)에 응착시킨다. 이렇게 반도체 칩(10)과 기판(14) 사이를 도전성 범프(12)를 통해 전기적으로 접속한 후에 언더필 과정을 진행하는데, 도전성 범프(12)를 통해 접속된 반도체 칩(10)과 기판(14)에 남아있는 플럭스 잔유물을 씻어내는 플럭스 세척 과정(flux cleaning process)을 우선 수행하고, 그 과정이 끝나면 남아 있는 수분을 제거하기 위해 다시 가열을 한다. 그렇게 하여 수분이 제거되면 반도체 칩(10)과 기판(14) 사이에 액체 상태의 언더필 부재(20)를 주입하고 경화시켜 반도체 칩(10)과 기판(14) 사이에 고착시킨다.

이 일반적 언더필 방법은 많이 사용되는 방법이기는 하지만, 플럭스 잔유물을 반도체 칩과 기판 사이에서 제대로 제거하지 않았을 경우에는 언더필 부재가 경화되더라도 반도체 칩과 기판 사이에 고착되지 않을 수 있고, 고착이 되더라도 접착력이 감소되는 등의 문제가 발생할 수 있으며, 또한 언더필 부재가 반도체 칩과 기판 사이로 스며들게 하기 위해 언더필 부재의 점도를 낮게 조정해야 하는 등의 문제도 가지고 있다.

도 1b에서 나타낸 노플로우 언더필 방법은 다음과 같은 과정으로 이루어진다. 먼저, 플럭스 성분이 포함된 액체형 언더필 부재(20)를 미리 기판에 디스펜싱하고, 도전성 범프(12)가 응착된 반도체 칩(10)을 도전성 범프(12)가 응착된 면이 기판(14)을 향하도록 하여 디스펜싱된 언더필 부재 위에 실장한다. 그 다음, 가열하여 도전성 범프(12)를 기판(14)의 패드(18)에 응착시키고 언더필 부재(20)도 경화시켜 반도체 칩과 기판 사이에 고착시킨다. 이 방법은 플럭스 세척 과정 및 수분 제거를 위한 가열 과정 등을 생략할 수 있지만, 도전성 범프(12)와 기판(14)의 패드(18) 사이에 언더필 부재(20)가 개재되어 존재할 수 있고, 그로 인해 도전성 범프(12)가 기판(14)에 제대로 응착되지 못하여 전기적 접속의 불량 문제가 발생할 수 있다.

일반적 언더필 방법이나 노플로우 언더필 방법 중 어느 방법을 사용하더라도 도 1c에 나타낸 것처럼 반도체 칩(10)과 기판(14) 사이에 언더필 부재(20)가 고착되어야 하지만, 위에서 설명한 것과 같은 이유로 종래의 언더필 방법들에서는 언더필 부재가 제대로 고착되지 않거나, 도전성 범프가 제대로 응착되지 않는 등의 문제가 발생될 수 있다. 이 외에도 종래의 언더필 방법들은 언더필 부재의 점도를 낮게 유지해야 하는 점 등과 같은 문제점을 포함하고 있으며, 다수의 공정으로 이루어졌기 때문에 다른 여러 문제가 발생할 가능성도 가지고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 종래의 언더필 방법에서 발생될 수 있는 도전성 범프의 접속 불량 또는 언더필 불량 등의 문제를 방지할 수 있으며, 공정의 수를 축소할 수 있도록 해주는 언더필 부재와, 그 언더필 부재를 사용한 플립칩 본딩 방법을 제공하는데 있다.

발명의 구성 및 작용

이러한 목적을 달성하기 위해, 본 발명은 플릭스 성분이 포함된 고체형 언더필 부재로서, 테입형으로 형성되고, 반도체 칩과 기판 사이의 도전성 범프에 대응하는 부분에는 도전성 범프의 크기에 상응하는 범프 홀이 형성되며, 가열을 통해 반도체 칩과 기판 사이에 용착되는 것을 특징으로 하는 언더필 테입을 제공하고, 아울러 기판에 언더필 테입을 실장하는 단계, 도전성 범프들이 용착된 반도체 칩을 그 도전성 범프들이 언더필 테입의 각 대응되는 범프홀에 삽입되도록 하여 기판에 실장하는 단계, 가열하여 도전성 범프를 기판 상의 패드에 용착시키고 언더필 테입을 반도체 칩과 기판 사이에 용착시키는 단계를 포함하는 것을 특징으로 하는 플립칩 본딩 방법을 제공한다.

이하 도면을 참조하여 본 발명에 따른 언더필 테입과 그 언더필 테입을 사용한 플립칩 본딩 방법에 대하여 상세히 설명 한다.

도 2a는 본 발명에 따른 언더필 테입의 평면도이고, 도 2b는 본 발명에 따른 언더필 테입의 측면 단면도이다.

도 2a 및 도 2b에 나타낸 것처럼, 본 발명에 따른 언더필 테입(120)은 플릭스 성분이 포함된 고체형 언더필 부재로서, 테입형으로 형성되고 반도체 칩과 기판 사이의 도전성 범프의 위치에 대응하는 부분에는 도전성 범프의 크기에 상응하는 범프 홀(117)이 형성된다. 언더필 테입(120)의 양면에는 기판과 반도체 칩을 임시적으로 고정시킬 수 있는 접착 수단을 구성할 수도 있으며, 범프 홀(117)의 갯수와 배치는 적용할 반도체 칩에 부착될 도전성 범프의 수와 그 배치에 따라 달라질 수 있다. 언더필 테입(120)의 범프 홀(117)의 단면을 도면에 나타낸 것과 같은 직사각형 단면이 아닌 도전성 범프 크기에 상응한 타원형 단면으로 형성한다면 도전성 범프에 밀착시킬 수 있게 되어 언더필 테입이 용융되었을 때 반도체 칩과 기판 사이에 고르게 분포되는 것을 용이하게 할 수도 있다. 종래의 언더필 부재가 액체 상태였던 것에 비해 본 발명에 따른 언더필 테입(120)은 고체 상태의 테입 형태로 형성되기 때문에 반도체 칩과 기판 사이에 위치시키기가 용이하고, 취급이 간편하며, 플릭스 세척 과정과 수분 제거 과정 등을 생략할 수 있어서 공정의 수를 줄일 수 있다. 이 언더필 테입(120)은 반도체 칩과 기판 사이에서 가열에 의해 용융되어 반도체 칩과 기판 사이의 공간에 고르게 분포된 다음 경화되어 반도체 칩과 기판 사이에 고착되게 된다.

도 3a는 기판에 언더필 테입이 실장된 모습을 보여주는 도이고, 도 3b는 도전성 범프가 용착된 반도체 칩을 기판에 실장된 언더필 테입 위에 실장하는 모습을 보여주는 도이며, 도 3c는 가열하여 도전성 범프와 언더필 테입이 각각 용착된 모습을 보여주는 도이다.

도 3a 내지 도 3c는 본 발명에 따른 언더필 테입을 사용한 플립칩 본딩 방법에 관한 것으로, 도면에서 나타낸 것처럼, 본 발명에 따른 플립칩 본딩 방법은 언더필 테입(120)을 각 범프 홀(117)이 각각 대응하는 기판(114) 상의 패드(118)에 일치하도록 하여 기판(114)에 실장한 다음, 도전성 범프(112)가 용착된 반도체 칩(110)을 도전성 범프(112)가 용착된 면이 기판(114)을 향하게 함과 더불어 각 도전성 범프(112)가 각각 대응하는 범프 홀(117)에 위치하도록 하여 기판(114)에 실장된 언더필 테입(120) 위에 실장한다. 그 다음, 기판(114) 상의 패드(118)에 도전성 범프(112)를 용착시키고 언더필 테입(120)을 반도체 칩(110)과 기판(114) 사이에 용착시키기 위해 가열하는 순서로 진행한다. 이러한 과정에 더하여 가열 전에 진공을 공급하여 진공 상태에서 가열을 한다면 용융된 언더필 테입(120)과 반도체 칩(110), 기판(114) 사이의 공기를 제거할 수 있게 되어 용융된 언더필 테입(120)을 반도체 칩(110)과 기판(114) 사이에 더욱 고르게 분포시킬 수도 있다.

본 발명에 따른 플립칩 본딩 방법은 언더필 테입(120)을 사용함으로써 가능하지만, 언더필 테입(120)과 같은 특성을 갖는 어떠한 언더필 부재를 사용함에 있어서도 적용될 수 있다.

발명의 효과

이와 같이, 본 발명에 따른 언더필 테입과 그 언더필 테입을 사용한 플립칩 본딩 방법에 의하면, 플럭스 성분이 포함된 고체형의 언더필 부재를 테입형으로 형성하여 사용하기 때문에, 언더필 공정 자체의 수행이 용이할 뿐만 아니라, 플럭스 도포와 플럭스 세척 및 수분 제거 등의 공정을 생략할 수 있어 공정 수 축소로 인한 불량 발생 원인 감소와 제조 비용 절감을 기대할 수 있다. 또한, 도전성 범프와 패드 사이에 있어서 전기적 접속 불량을 방지하고, 별도의 플럭스 사용으로 인해 언더필이 반도체 칩과 기판 사이에 제대로 고착되지 않는 등의 문제를 방지하는 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

플럭스(flux) 성분이 포함된 고체형 언더필 부재로서, 테입형(tape type)으로 형성되고, 반도체 칩(semiconductor chip)과 기판 사이의 도전성 범프(conductive bump)의 위치에 대응하는 부분에는 상기 도전성 범프의 크기에 상응하는 범프 홀(bump hole)이 형성되며, 가열을 통해 상기 반도체 칩과 상기 기판 사이에 융착되는 것을 특징으로 하는 언더필 테입(underfill tape).

청구항 2.

제 1항에 있어서, 양면에 접착 수단이 형성된 것을 특징으로 하는 언더필 테입.

청구항 3.

제 1항에 따른 언더필 테입을 사용한 플립칩 본딩 방법(flip chip bonding method)에 있어서,

기판에 상기 언더필 테입을 실장하는 단계;

도전성 범프들이 융착된 반도체 칩을 상기 도전성 범프들이 상기 언더필 테입의 각 대응되는 범프홀에 삽입되도록 하여 상기 기판에 실장하는 단계;

가열하여 상기 도전성 범프를 상기 기판 상의 패드에 융착시키고 상기 언더필 테입을 상기 반도체 칩과 상기 기판 사이에 융착시키는 단계;

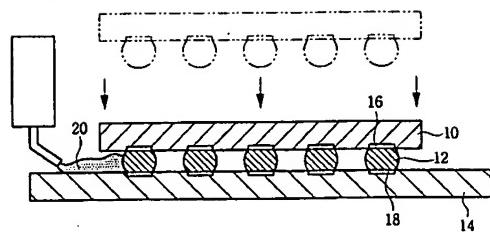
를 포함하는 것을 특징으로 하는 플립칩 본딩 방법.

청구항 4.

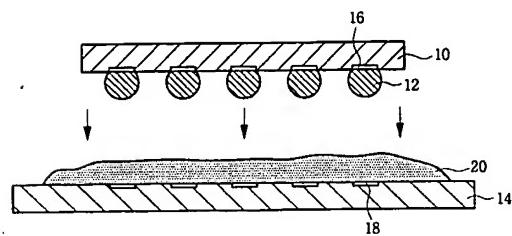
제 3항에 있어서, 가열 전 진공을 공급하는 단계를 더 포함하는 것을 특징으로 하는 플립칩 본딩 방법.

도면

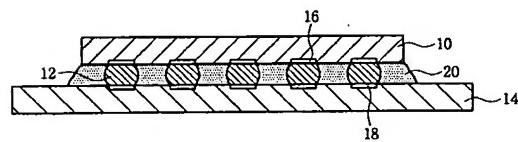
도면 1a



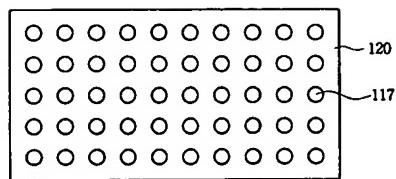
도면 1b



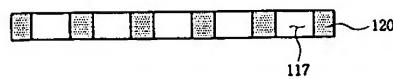
도면 1c



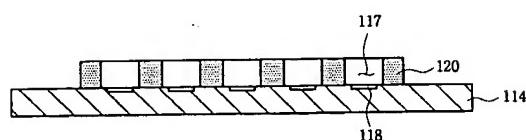
도면 2a



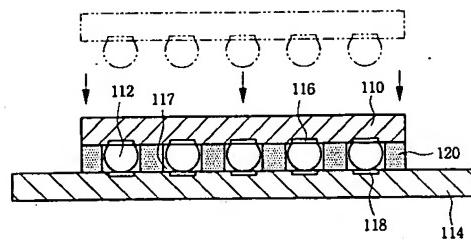
도면 2b



도면 3a



도면 3b



도면 3c

